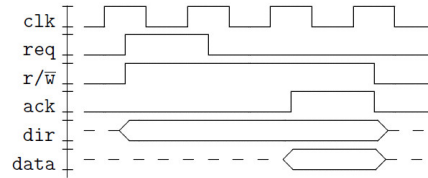


EJERCICIO 11

ENUNCIADO

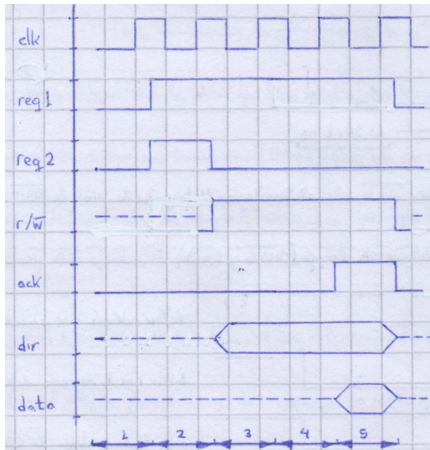
Ejercicio 11 En una computadora que respeta el esquema de conexión 1 y se utiliza un bus sincrónico en el cual se producen lecturas como se indica en la figura, se desea agregar otro procesador capaz de comunicarse con la memoria.

Para ello, se quita la línea **req** y se agregan **req1** y **req2**. A su vez, se modifica el protocolo de manera tal que: si ambos CPU quieren usar el bus a la vez (lo que indican levantando su línea de **req**), el que esté conectado a la línea **req2** debe bajarla y el ciclo continúa como antes.



- Dibuje un diagrama de tiempo de una lectura donde ambos CPU deseen utilizar el bus. Sea prolijo.
- Realice una máquina de estados para cada CPU, teniendo en cuenta sólo las acciones de una lectura.

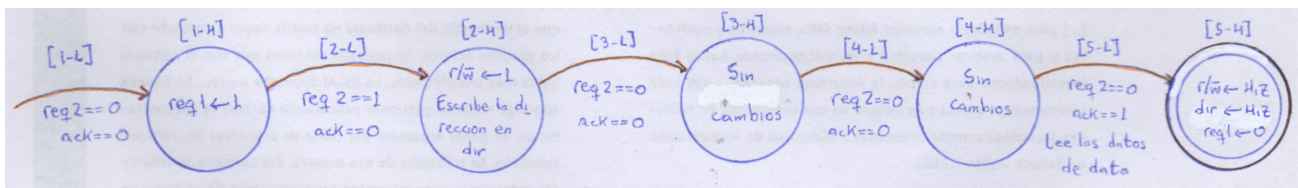
INCISO A



En el diagrama puede verse que como ambos procesadores desean usar el bus simultáneamente, aquel correspondiente a la señal **req2** debe bajarla para que el otro procesador realice la operación antes. A su vez, la señal **r/w** comienza y termina en **alta impedancia** ya que hay más de un dispositivo que puede ser **master** en una transferencia. Véase además que la señal **req1** debe estar en 1 durante toda la transferencia para que el procesador correspondiente a **req2** logre detectar el momento en que está habilitado para realizar una operación.

INCISO B

CPU1:



CPU2:

